

Komfortabler Personalcomputer für den erfahrenen Amateur (2)

Dipl.-Ing. A. MUGLER – Y27NN, Dipl.-Ing. H. MATHES

2.1.3. Bootstrap-Lader (Urlader)

Da die ZVE nach einem Reset (z. B. power on) die Abarbeitung von Programmen auf Adresse 0000H beginnt, soll das Grundbetriebssystem (Initialisierung, Monitor) sich auf EPROM ab Adresse 0000H befinden.

Da für Mikrocomputer mit dem U 880D bereits ein breites Softwareangebot (Assembler, Reassembler, Interpreter, Compiler) existiert und viele Programme die Restart-Adressen nutzen bzw. auf einer der unteren Adressen beginnen, ist es sinnvoll, ab 0000H RAM-Bereich zur Verfügung zu haben. Bei einigen Programmen befinden sich auch die Arbeitszellen im Programmbereich und sind somit nur im RAM lauffähig.

Der Bootstrap-Lader hat die Aufgabe, bei einem hardwaremäßigen Reset (z. B. Power-On-Reset) das Grundbetriebssystem für die Anfangsinitialisierung bereitzustellen. Dieses befindet sich auf dem 8-KByte-EPROM-Block. Nach der Anfangsinitialisierung wird das Betriebssystem über eine Laderoutine in den RAM geladen und der EPROM-Bereich ausgeblendet.

Kern des Bootstrap-Laders ist der Schaltkreis DS 8212D (D9). Dieser besteht aus einem 8-Bit-Datenregister und den dazugehörigen Treibern mit Tri-State-Ausgangsstufen. Über den /CLR-Eingang lassen sich alle Ausgänge zurücksetzen. Dieser Umstand wird genutzt, um nach Reset den EPROM-Block einzublenden. Darüber hinaus erfolgt über diesen Schaltkreis die Auswahl der 64-KByte-dRAM-Blöcke. Wird nicht im Block 0 gearbeitet, kann dessen oberer 16-KByte-Bereich (0C000H bis 0FFFFH) in den geraden aktuellen Block eingeblendet werden. Dazu setzt ein OUT-Befehl Bit 6 auf Adresse 94H. Will man den EPROM-Block anstelle des dRAM-Bereiches 0000H bis 1FFFH eingeblendet haben, muß Bit 7 zurückgesetzt werden (Bild 5).

2.1.4. Adreßdekodierung für Speicher

Sind Bausteine des Rechners, die zum Zweck des Datenaustausches am Datenbus liegen, nicht angesprochen, werden deren Ausgänge hochohmig geschaltet. Das vermeidet ein Gegeneinanderarbeiten der Ausgangstreiber.

In kommerziellen Mikrorechnersyste-

men, wie zum Beispiel dem K 1520, wird die Speicherselektierung dezentral ausgeführt. Jede Speicherplatine erzeugt über wählbare Wickelbrücken oder einstellbare DIL-Schalter ihren Adreßbereich innerhalb der maximal von der ZVE adressierbaren 64 KByte selbst.

Für den RAM-Bereich entfällt die Adreßdekodierung im herkömmlichen Sinne, da 64-KBit-dRAM-Schaltkreise eingesetzt sind. Über das Register D9 und den Dekoder D10 lassen sich die drei internen 64-KByte-dRAM-Blöcke und weitere fünf externe 64-KByte-Blöcke (bei eventueller RAM-Erweiterung) über Port 94H auswählen. Bei RAM-Erweiterungen müssen die /RAS- und /CAS-Signale extern erzeugt werden (Verknüpfung mit /RFSH beachten!). Im Grundzustand (nach Reset, power on) ist automatisch der dRAM-Block 0 im Zugriff.

Die Adreßdekodierung für die vier EPROM-Schaltkreise U 2716D (D14 bis D17) ab Adresse 0000H bis 1FFFH übernimmt der Dekoder D11, indem er aus den Adressen A11 und A12 vier, je 2 KByte versetzte /OE-Signale bildet. Die /CE-Eingänge der EPROM-Schaltkreise sind parallelgeschaltet und nur dann aktiv (/CE = Low), wenn sich der EPROM-Block im Zugriff befindet. Der Adreßdekoder wird nur bei /RD = Low aktiviert [1].

2.1.5. /RAS-, /CAS-Signalgenerierung

Da die dynamischen RAM U 2164D (D20 bis D43) eine besondere, von statischen Speicherschaltkreisen (z. B. U 214D) abweichende Schaltungstechnik erfordern, wird nachfolgend näher auf Wirkungsweise und Besonderheiten eingegangen (Bilder 27, 28, 29).

Zur Adressierung einer Speicherzelle ist eine 16-Bit-Adresse erforderlich. Um Schaltkreisanschlüsse einzusparen, erfolgt ihre Verarbeitung multiplex. Durch die 512 internen Leseverstärker vergrößert sich die Zugriffszeit nicht, da immer eine volle Zeile gelesen wird. Die Spaltenadresse läßt sich auswerten, wenn die Leseverstärker eingeschwungen sind. Die Zeilenadresse wird zwischengespeichert. Die 512 Zeilenadressen müssen mindestens alle 2 ms einmal angesprochen werden, um den Ladungsverlust der Speicherzellen auszugleichen. Dabei wird die Information von der Zelle gelesen und

wieder eingeschrieben. Gab es keinen Zugriff auf den dRAM, realisiert die ZVE aus den genannten Gründen Auffrisch-, sogenannte Refresh-Zyklen. Die Aktivierung des /RAS-Signals bewirkt die Übernahme der Zeilenadresse. Über diesen Eingang erfolgt auch die Aktivierung für den Refresh. Ist die /RAS-Adresse sicher übernommen und liegt die /CAS-Adresse (Spaltenadresse) stabil an den Eingängen, können mit gleichzeitigem Aktivieren von /WR die stabil an DI anliegenden Daten eingeschrieben werden. Die Information an den Dateneingängen bleibt dabei zwischengespeichert. Sind zu Beginn von /CAS die Signale /RAS aktiv und /WE inaktiv, werden die Datenausgänge aktiviert. Die Information liegt an D0 zum Lesen bereit.

Die Signale /RAS, /WR sowie die Freigabe der /CAS-Signale entstehen über das D-Flipflop D50 und die Gatter D46.2, D47.2, D47.3, D51.3 und D53 in richtiger zeitlicher Reihenfolge und Zuordnung (Bild 28, 29). Dabei ist die /RAS-, /CAS-Logik nur aktiv beim Zugriff auf einen der drei internen 64-KByte-Blöcke. /RAS wird weiterhin zur Übernahme der Refreshadresse bei Aktivieren von /RFSH erzeugt. Für eine externe Speichererweiterung bedeutet dieser Umstand, daß die Erweiterungsplatine auch die /RAS- und /CAS-Signalerzeugung für diese enthalten muß. Sie kann analog der internen Logik aufgebaut sein. Die /CAS-Freigabe wird verzögert und negiert zur Busanschaltung der Bustreiber benutzt.

Die vom Dekoder D10 kommenden Blockauswahl-Signale werden über die Gatter D47 und D48 mit der /CAS-Freigabe zu den Signalen /CAS0, /CAS1 und /CAS2 verknüpft und über D49 zusätzlich verzögert. Diese liegen auf den /CAS-Eingängen der einzelnen 64-KByte-Blöcke. Die /RAS- und /WR-Eingänge der dRAM-Schaltkreise sowie die /CAS-Eingänge je 64-KByte-Block sind parallelgeschaltet [1], [16].

2.1.6. 192-KByte-dRAM-Block

Der RAM-Speicher des Computers besteht aus 3 × 8 Stück 64-KBit-dRAM-Schaltkreisen U 2164D (D20 bis D43). Die notwendige 16-Bit-Adresse wird über die Multiplexer D44 und D45 an die Adreßeingänge A0 bis A7 gelegt. Mit /RAS liegen die Adressen A0 bis A7 (Zeilenadresse), mit /CAS die Adressen A8 bis A15 (Spaltenadresse) an den Eingängen der Speicher. Die /RAS-, /CAS-Logik bildet das SEL-Signal (/CAS-Freigabe). Die Datenein- und Datenausgänge werden über die Bustreiber D18 und D19 gepuffert und bei Zugriffen auf einen der drei Blöcke an den Bus geschaltet. /RD koppelt bei Lesezugriffen die Ausgänge der Speicher über die Bustreiber an den

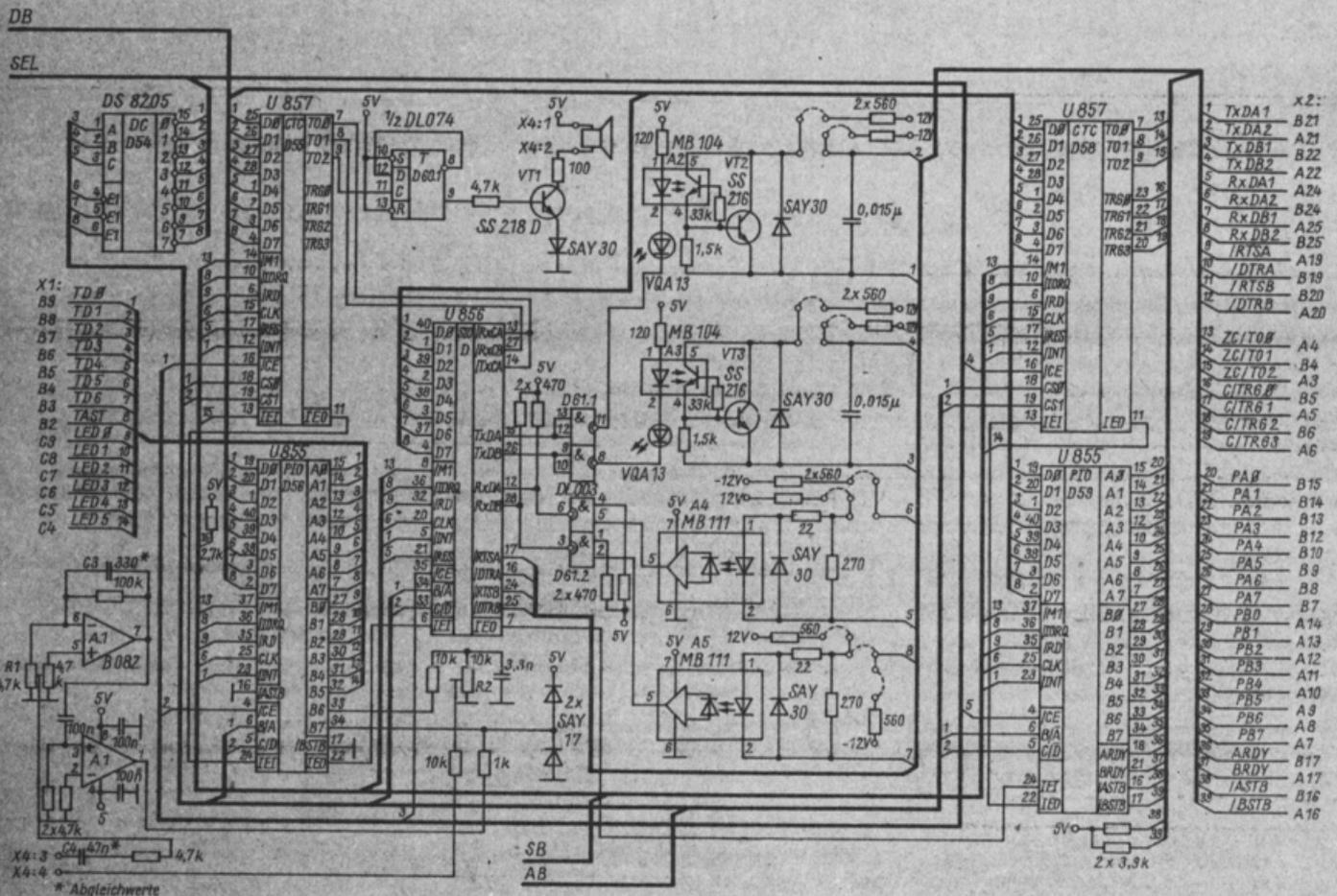


Bild 3: Stromlaufplan der zentralen Platine - Input/Output-Seite

Datenbus. Ist das /CAS-Freigabesignal inaktiv (Low), befinden sich die Ausgänge der Bustreiber im hochohmigen Zustand. Die Adreß- und Datenleitungen der Blöcke sind parallelgeschaltet, da die Blockauswahl über die /CAS-Eingänge der Speicher realisiert wird. Da die U 2164D bitorganisiert sind, müssen zur Speicherung des 8-Bit-Datenwortes acht Schaltkreise mit ihren Adreß- und Steuer-Eingängen zu einem Block zusammengeschaltet werden.

2.1.7. 8-KByte-EPROM-Block

Damit nach dem Einschalten das Grundbetriebssystem der ZVE zur Verfügung steht, muß dieses auf ROM-Bereich stehen und mit der Adresse 0000H beginnen. Hardwaremäßig ist der EPROM-Block mit 4 U 2716 D (D14 bis D17) realisiert. Die /CE-Eingänge sind parallelgeschaltet und werden beim Zugriff durch die ZVE aktiviert. Die /OE-Eingänge entstehen durch die Dekodierung der Adressen A11 und A12 (D11). Die EPROMs sind neben dem Zeichengenerator die einzigen Bauelemente, die in IS-Fassungen stecken. Alle anderen Bauelemente wurden aus Gründen der Zuverlässigkeit eingelötet [5].

2.2. Input/Output-Seite (Bild 3)

2.2.1. Adreßdekodierung für die I/O-Ports

Die Auswahlensignale für die Peripheriebausteine sind in Schritten zu je vier Adressen dekodiert. Diese vier Kanäle der Systembausteine (SIO, CTC, PIO) werden über die Adressen A0 und A1 ausgewählt. Durch den Dekoder D54 wird der entsprechende Baustein ausgewählt, wobei die niedrigste Adresse 80H (System-CTC) ist. D54 erzeugt die /CE-Signale aus den Adressen A2 bis A7. Die Adreßleitungen A8 bis A15 bleiben undekodiert. Der Dekoder wurde nicht mit dem Signal /IORQ verknüpft, da alle verwendeten Peripheriebausteine dieses Signal zu ihrer Aktivierung nutzen. Zum externen Anschluß eines weiteren Bausteines dient die auf den Systembus geführte Leitung /IOSEL0, die auf den /CE-Eingang des externen Peripheriebausteins geschaltet wird. Eine Erweiterung auf 64 Bausteine ist durch die externe Dekodierung der Adressen A2 bis A7 (00H bis 7CH und 0A0H bis 0FCH) möglich. Als interne I/O-Bausteinadressen zählen auch die des Speicherblockselektierungsports (D9) und die des NMI-Generators (D60.2) [3].

2.2.2. System-PIO, System-CTC

Der CTC U 857D ist ein Zähler- und Zeitgeberschaltkreis, der über vier Kanäle verfügt, deren Zeitkonstanten bzw. Zählerstände programmierbar sind. Bei Interrupt die höchste Priorität besitzend, befindet sich ab Adresse 80H der System-CTC (D55). Der Eingang IEI bildet, auf den Systemsteckverbinder X3 geführt, die Einbindungsmöglichkeit weiterer Bausteine mit höherer Priorität in die „Daisy chain“. Deren kettenförmige Verbindungsstruktur legt bei der Weitergabe des Interruptfreigabesignales eine Reihenfolge der Elemente in der Kette hinsichtlich der Interruptanmeldung fest. Bei der Nutzung einer externen Erweiterung sollte für weitere Bausteine eine Umgebungslogik vorgesehen werden. Ausgang TO0 der System CTC stellt den notwendigen Takt für den Kanal A der Anwender-SIO U 856D (D57) zur Verfügung. TO1 realisiert dies für den Kanal B der SIO (Einstellung der Baurate). Ausgang TO2 hingegen steuert ein Flip-Flop (D60.1), um die am Ausgang der CTC auftretenden Impulse in eine Impulsfolge mit einem Tastverhältnis von 1:1 zu formen.

(wird fortgesetzt)