

gen, letzteres, um den Refresh für die dynamischen Speicher zu garantieren. Die Kontrolle des NMI-Generators erfolgt zu einem späteren Zeitpunkt im Zusammenhang mit der Software (Betriebssystem). Nun können die Bustreiber D6 bis D8 eingelötet werden. Ihre Funktion kontrolliert man durch statisches Anlegen von Low- bzw. High-Pegel an die Bustreiber-eingänge und durch Nachmessen der Pegel an den Ausgängen. Wird Pin 11 des Gatters D1.2 auf Low gelegt, müssen sich die Ausgänge der Bustreiber D6 bis D8 im hochohmigen Zustand befinden.

Nach dieser Prüfung ist die CPU einzulöten. Der Datenbus liegt auf High-Pegel. Damit liest die CPU nach dem Reset-Impuls RST 38-Befehle, und der gesamte Speicherbereich wird mit 0039H beschrieben. Dieser Umstand hat ein zyklisches Durchlaufen des gesamten Adreßbereiches zur Folge und ermöglicht die Kontrolle verschiedener Impulsfolgen. Es werden die Adreßleitungen A0 bis A15 an den Ausgängen der Bustreiber D6 bis D8 kontrolliert. Die an A0 anliegende Pulsfolge muß die höchste Frequenz aufweisen, mit ansteigender Adreßreihenfolge liegt an jeder Adreßleitung je die halbe Frequenz der vorhergehenden Adresse. Auch an den Steuersignalausgängen /RD, /MREQ und /M1 müssen Impulsfolgen vorhanden sein.

Dieser Kontrolle schließt sich der Aufbau

von Bootstraplader, Speicherblockselektport, Überblendlogik und Adreßdekodierung für die EPROMs an. Dazu werden die Bauelemente D9, D10, D11, D12 und D53 eingelötet. An den Ausgängen der Dekoder D10 (Ausgänge 0 bis 7) und D11 (Ausgänge 0 bis 3) müssen jeweils versetzt zueinander Pulsfolgen erkennbar sein. Die Signale an den Ausgängen 0 bis 3 von D11 entsprechen den /OE-Signalen der EPROMs und können an Pin 20 der jeweiligen EPROM-Fassungen überprüft werden. Dabei nimmt mit Aktivieren des entsprechenden /OE-Signals auch das /CE-Signal für die EPROMs (Pin 18) Low ein. Dazu muß das Speicherblockselektport (DS 8212 D) durch den Reset-Impuls beim Einschalten zurückgesetzt sein (alle Ausgänge = Low-Pegel). Die Signale /OE und /CE dürfen nur bei /RD = Low aktiv sein.

Nun kann man die restlichen Bauelemente der Systemseite (außer den dRAMs) bestücken. Anhand der Impulsdiagramme (Bild 28, 29) wird das Zeitverhalten der Signale /RAS, /CAS0, /CAS1, /CAS2, /WR (Pin 3 von D52.4) und SEL (Multiplexer Pin 1) kontrolliert. Nach dieser Kontrolle erfolgt die Bestückung der IS des ersten dRAM-Blockes. Sollten sich beim späteren Test des kompletten PC/M-Computers Speicherzellen nicht beschreiben lassen oder verlieren diese ihre Information, müssen noch einmal die Impulsbilder geprüft und eventuell C2 verändert werden.

Beim Aufbau weiterer Exemplare des PC/M-Computers zeigte sich, daß die Bestück-

ung mit dRAMs unterschiedlicher Hersteller zu Schwierigkeiten mit der RAS/CAS-Signalbildung und damit zu Schreib- und Lesefehlern führen kann. Innerhalb einer Speicherbank sollten keinesfalls unterschiedliche Typen eingesetzt werden. Bei einigen U 2164 D war es erforderlich, die RAS-Leitung an den Speichern mit einem „pull-up“-Widerstand von 560 Ω zu versehen bzw. D52 (DL 000 D) durch einen D 100 D oder D 200 D zu ersetzen. Unterschiede bei der Bestückung der drei Speicherbänke lassen sich durch separate Verzögerungskapazitäten (100 pF bis etwa 1 nF) direkt an den CAS-Leitungen ausgleichen. Bei Verwendung von sowjetischen K 565 RY 5 bewährte sich die im Stromlaufplan angegebene Dimensionierung. Mit dem eventuellen Bestücken und Testen des zweiten und dritten dRAM-Blockes ist der systemseitige Aufbau der zentralen Platine abgeschlossen.

Nun werden der I/O-Adreßdekoder (D54), die Bauelemente der Tonausgabe (D60.1, VT1) sowie die Bauelemente der IFSS-Schnittstellen (D61, A2 bis A5, VT2 bis VT5, passive BE) eingelötet. Am Adreßdekoder D54 (DS 8205 D) sind die 8 zeitlich zueinander versetzten /CE-Signale (Pin 7, 9 bis 12) zu kontrollieren. Diese Signale liegen unabhängig von /IORQ an, da die peripheren Bausteine (PIO, CTC, SIO) das Signal /IORQ direkt zu ihrer Aktivierung verwenden. Setzt man andere als oben genannte Systembausteine ein, müssen deren Aktivierungssignale mit /IORQ verknüpft wer-

Bild 8b: Layout der Leiterseite der Platine für die Bildschirmsteuerung

